

N
3-4
BEST AVAILABLE COPY**(54) SEMICONDUCTOR DEVICE**

(11) 2-268462 (A) (43) 2.11.1990 (19) JP

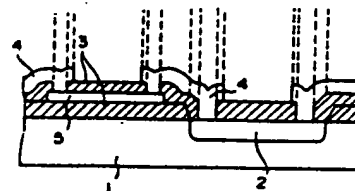
(21) Appl. No. 64-89836 (22) 11.4.1989

(71) MATSUSHITA ELECTRON CORP (72) YUJI YAMANISHI

(51) Int. Cl.³ H01L27/04

PURPOSE: To acquire a resistor having a small change of resistance value due to temperature change by connecting resistor formed through impurity diffusion and doping with impurity, respectively, to each of a silicon substrate and polycrystalline silicon.

CONSTITUTION: A resistor 2 which is formed through impurity diffusion and a resistor 5 which is formed by doping with polycrystalline silicon impurity are connected to a silicon substrate 1 in series or in parallel. The temperature rise causes a resistance value of the resistor 2 to increase and a resistance value of the resistor 5 to decrease; connection of these resistors realizes a resistance having a small change of resistance value.



3: silicon dioxide film

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-268462

⑮ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)11月2日

H 01 L 27/04

P

7514-5F

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 平1-89836

⑰ 出 願 平1(1989)4月11日

⑱ 発 明 者 山 西 雄 司 大阪府門真市大字門真1006番地 松下電子工業株式会社内

⑲ 出 願 人 松下電子工業株式会社 大阪府門真市大字門真1006番地

⑳ 代 理 人 弁理士 星 野 恒 司

明 細 書

1. 発明の名称 半導体装置

2. 特許請求の範囲

シリコン基板中に不純物を拡散によって形成した抵抗と、多結晶シリコン中に不純物をドーピングして形成した抵抗を直列あるいは並列に接続したことを特徴とする半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は温度変化に対する抵抗値の変化が少ない半導体装置に関する。

(従来の技術)

半導体集積回路中の抵抗は、例えば、シリコン基板中に不純物を拡散させて形成したり、或いは多結晶シリコン中に不純物をドーピングして形成している。

第3図(a)はシリコン基板中に不純物を拡散した場合、(b)は多結晶シリコン中に不純物をドーピングして抵抗を形成した場合の夫々の断面図を示す。

(a)図において、1はシリコン基板で、2はこのシリコン基板中に不純物を拡散して生成された抵抗(領域)、3は接続膜としての二酸化シリコン膜、4は前記抵抗と結合されたアルミ電極である。

また、(b)図において5は多結晶シリコンで、そこに不純物がドーピングされ抵抗(領域)が生成される。その他数字記号は(a)図と同じ素子部材である。

(発明が解決しようとする課題)

上記第3図(a)の場合、シリコン基板中の抵抗は温度が上昇すると抵抗値は大きくなる特性を示し、また(b)の場合、温度が上昇すると抵抗値は小さくなる特性を示し、何れも温度変化に対し抵抗値が変動し、半導体集積回路の構成上、大きな制約があった。

本発明は上記のような温度変化による抵抗値の変化を大幅に低減した半導体装置をうることを目的とする。

(課題を解決するための手段)

本発明は上記目的を達成するため、シリコン基

特開平2-268462(2)

板中に不純物を拡散によって形成した抵抗と、多結晶シリコン中に不純物をドーピングして形成した抵抗を直列または並列に接続したことを特徴とする。

(作 用)

上記のように抵抗を形成したことにより、シリコン基板中に不純物を拡散して形成した抵抗は、温度が上昇すると抵抗値が大きくなる特性を示すが、多結晶シリコン中に不純物をドーピングして形成した抵抗は、前者と逆に温度上昇にともなって抵抗値は小さくなる。したがって、両抵抗を直列または並列に接続することにより、温度変化による抵抗値の増減が非常に小さい抵抗を形成することができる。

(実施例)

第1図は本発明の一実施例による抵抗部分の構造を示す平面図(a)及びその断面図(b)を示す。図から分るようにシリコン基板1中に不純物を拡散によって形成した抵抗2と、多結晶シリコン5中に不純物をドーピングして形成した抵抗を、アルミ電極4で直列または並列に接続するよう構成する。

温度が変化すると、従来の構造では抵抗値が変化し検出誤差が発生するが、本発明による抵抗を用いると温度変化による抵抗値の増減が非常に小さいので、検出誤差が発生しなくなる。

なお、シリコン基板1中に形成した抵抗2と、多結晶シリコン5による抵抗は、共に陽のイオン注入(加速電圧50keV、注入量 $3 \times 10^{14} \text{ cm}^{-2}$)で形成した。また、(a)図の24はゲート端子、25はドレイン端子を示す。

(発明の効果)

以上説明したように本発明はシリコン基板中の抵抗及び多結晶シリコン中の抵抗を直列または並列接続し、両抵抗の温度変化に対する抵抗値の逆特性を利用して、温度変化による抵抗値の増減を小さくできる。したがって、これを例えば電流検出機能付MOSFETに利用すると、温度変化による検出誤差がなく、安定な検出を行なうことができる。

4. 図面の簡単な説明

第1図は本発明の一実施例による抵抗部分の構造

なお、図の6はアルミ電極4のコンタクト窓を示す。

第2図(a)は本発明を電流検出機能付MOSFETに実施した場合の等価回路を示し、同図(b)及び(c)は夫々(a)に用いたシリコン基板1中の抵抗2(Ra)と、多結晶シリコン5中の抵抗(Rc)を示す断面図であって、(b)図において、7はP型分離層である。

第2図(a)に示す等価回路は、(b)図に抵抗Rbと(c)図の抵抗Rcを電圧検出端子20とソース端子21の間に直列接続した例を示すが、両抵抗Rb、Rcを並列接続してもよい。ここで、電流検出用MOSFET22と本体MOSFET23は同様な構造で、両FET22、23を流れる電流は、ある比率をもっている。したがって、電流検出用MOSFET22を流れた電流を上記抵抗Rb、Rc間に発生する電圧として両端子20、21間に検知することが出来、両FET22、23の電流比が決まっていることからFET23を流れる電流を検知できるようになっている。このような等価回路において、素子の

造を示す平面図(a)及びその断面図(b)、第2図は本発明を電流検出機能付MOSFETに実施した場合の等価回路(a)、シリコン基板中の抵抗を示す断面図(b)、多結晶シリコン中の抵抗を示す断面図(c)、第3図は従来のシリコン基板中の抵抗を示す断面図(a)及び多結晶シリコン中の抵抗を示す断面図(b)である。

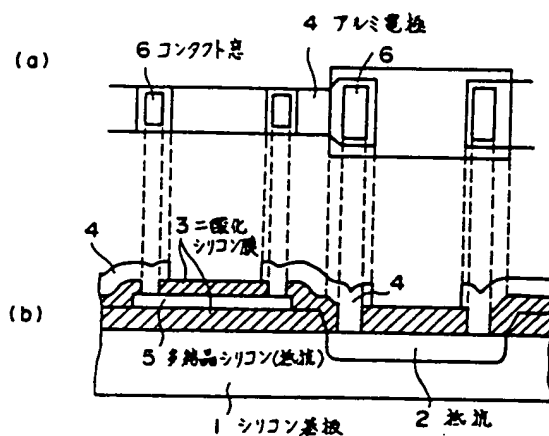
- 1 … シリコン基板、 2 … シリコン基板中に不純物を拡散した抵抗(領域)、
3 … 二酸化シリコン膜、 4 … アルミ電極、 5 … 多結晶シリコン(不純物をドーピングして形成した領域の抵抗)、 6 … コンタクト窓、 7 … P型分離層。

特許出願人 松下電子工業株式会社

代理人 星 野 恒

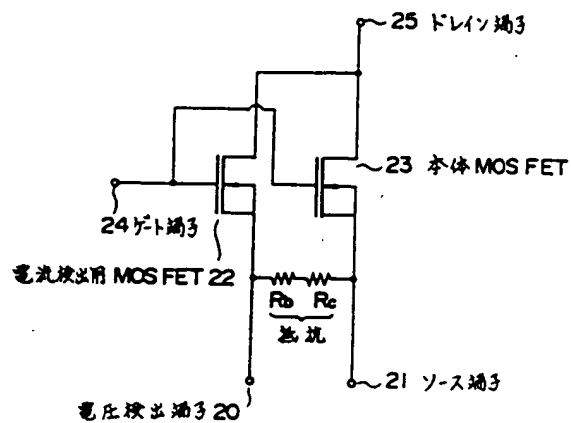


第 1 図



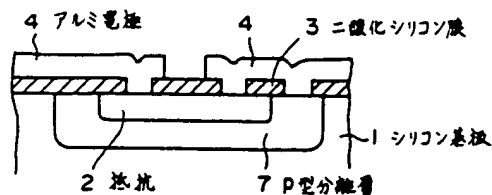
第 2 図

(a)

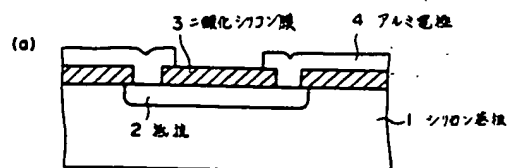


第 2 図

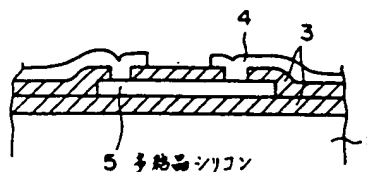
(b)



第 3 図



(c)



(b)

